

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-177714

⑬ Int.Cl.⁴

H 03 G 11/00

識別記号

庁内整理番号

6964-5J

⑭ 公開 昭和60年(1985)9月11日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 レベルリミッタ回路

⑯ 特 願 昭59-32352

⑰ 出 願 昭59(1984)2月24日

⑱ 発 明 者 酒 井 祐 二 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑲ 発 明 者 柳 沢 一 正 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 レベルリミッタ回路

特許請求の範囲

1. 入力信号を出力端子に伝える伝送ゲートMOSFETと、この伝送ゲートMOSFETのゲートとレベルリミッタ電圧端子との間に設けられ、双方向に電流を流すように並列形態とされた一対のダイオード形態のMOSFETと、上記入力信号の反転信号を受け、その出力点が上記出力端子に接続され上記レベルリミッタ電圧により動作するCMOSインバータ回路とを含むことを特徴とするレベルリミッタ回路。

2. 上記CMOSインバータ回路におけるレベルリミッタ電圧側のMOSFETのコンダクタンス特性は出力端子におけるリーク電流を捕う程度に小さく設定され、回路の接地電位側のMOSFETのコンダクタンス特性は出力レベルをリセットするのに必要な駆動能力を持つよう設定されるものであることを特徴とする特許請求の範囲第1項記載のレベルリミッタ回路。

3. 上記入力信号は、電源電圧側のMOSFETのコンダクタンス特性が大きく、接地電位側のMOSFETのコンダクタンス特性が小さくされたCMOSインバータ回路により形成され、その入力端子と、上記レベルリミッタ電圧で動作するCMOSインバータ回路の入力端子とが共通に接続されるものであることを特徴とする特許請求の範囲第1又は第2項記載のレベルリミッタ回路。

発明の詳細な説明

(技術分野)

この発明は、レベルリミッタ回路に関するもので、例えば、CMOS(相補型MOS)回路において、電源電圧に従って形成された信号のレベルを電源電圧レベル以下の中間レベルに制限する回路に利用して有効な技術に関するものである。

(背景技術)

電源電圧に従って形成された信号を電源電圧以下の中間レベルに制限するレベルリミッタ回路として、第1図に示すような回路が考えられている。この回路は、電源電圧に従って形成された入力信

号 ϕ を出力端子側に伝える伝送ゲートMOSFET Q1と、このMOSFET Q1のゲートとレベルリミッタ電圧 V_{cl} との間に設けられ、双方向に電流を流すように並列形態とされた一対のダイオード形態のMOSFET Q2, Q3とにより構成される。MOSFET Q2は、入力信号 ϕ がロウレベルのとき、伝送ゲートMOSFET Q1のゲート、チャンネル間に $V_{cl}-V_{th}$ のプリチャージを行い、入力信号 ϕ がハイレベルになったとき、MOSFET Q3により伝送ゲートMOSFET Q1のセルフブートストラップによるゲート電圧を $V_{cl}+V_{th}$ におさえて出力端子の信号 ϕ' を上記レベルリミッタ電圧 V_{cl} にするものである。なお、上記 V_{th} は、MOSFET Q1~Q3のしきい値電圧であり、各MOSFET Q1~Q3のしきい値電圧 V_{th} が同じ値になるように設定されるものである。

このようなレベルリミッタ回路にあっては、伝送ゲートMOSFET Q1のゲートが接続されるノードN1や、出力端子であるノードN2の電位

が、ソース、ドレインと基板間のリーク電流等によって時間とともに低下する。これにより、出力信号 ϕ' がその時間の経過とともに低下してしまうという欠点がある。

(発明の目的)

この発明の目的は、出力信号のレベル補償機能を持つ新規なレベルリミッタ回路を提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

(発明の概要)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、入力信号を出力端子に伝える伝送ゲートMOSFETのゲートとレベルリミッタ電圧端子との間に双方向に電流を流すように並列形態の一対のダイオード形態のMOSFETを設けたレベルリミッタ回路に、上記入力信号の反転信号を受け、その出力点が上記出力端子に接続され上記

レベルリミッタ電圧により動作するCMOSインバータ回路を設けて、リーク電流に対するレベル補償を行うようにするものである。

(実施例)

第2図には、この発明に係るレベルリミッタ回路の一実施例の回路図が示されている。同図の各回路素子は、公知のCMOS集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような半導体基板上において形成される。

特に制限されないが、入力信号 ϕ は、電源電圧 V_{cc} で動作するPチャンネルMOSFET Q4とNチャンネルMOSFET Q5とで構成されたCMOSインバータ回路によって形成される。このため、このCMOSインバータ回路の入力端子には、上記入力信号 ϕ の逆相信号 $\bar{\phi}$ が供給される。

上記CMOSインバータ回路の出力端子から送出される入力信号 ϕ は、NチャンネルMOSFETで構成された伝送ゲートMOSFET Q1を通して出力端子OUT側に伝えられる。この出力端子OUTから送出される出力信号 ϕ' のレベルを

上記電源電圧 V_{cc} 以下の任意の中間レベルにするため、上記伝送ゲートMOSFET Q1のゲートとレベルリミッタ電圧 V_{cl} の間には、双方向に電流を流すように並列形態とされた一対のダイオード形態のMOSFET Q2, Q3が設けられる。

この実施例では、リーク電流によって出力信号 ϕ' のレベルが時間の経過とともに低下してしまうのを防止するためのレベル補償回路として、次のCMOSインバータ回路が設けられる。すなわち、上記レベルリミッタ電圧 V_{cl} により動作するPチャンネルMOSFET Q6とNチャンネルMOSFET Q7とで構成されたCMOSインバータ回路の出力端子が上記出力端子OUTに接続される。そして、このCMOSインバータ回路の入力端子は、上記入力信号 ϕ を形成するCMOSインバータ回路の入力端子と共通接続され、上記反転信号 $\bar{\phi}$ が供給される。

特に制限されないが、上記入力信号 ϕ を形成するCMOSインバータ回路のPチャンネルMOSFET Q4は、そのコンダクタンス特性が比較的

大きく設定されることにより、伝送ゲートMOSFETQ1を通して接続される負荷容量(図示せず)に対して十分な駆動能力を持つようにされる。これに対してNチャンネルMOSFETQ5は、その出力点における小さな浮遊容量のリセットに必要な小さなコンダクタンス特性に設定される。一方、上記レベル補償のために設けられたCMOSインバータ回路のPチャンネルMOSFETQ6は、リーク電流によるレベル低下を補償する程度の小さなコンダクタンス特性を持つよう設定され、NチャンネルMOSFETQ7は、比較的大きな容量値を持つ負荷容量をリセットに必要な比較的大きなコンダクタンス特性に設定される。

次に、この実施例のレベルリミッタ回路の動作を第3図に示した動作波形図に従って説明する。

同図に破線で示すように反転入力信号 $\bar{\phi}$ がハイレベルの時、入力信号 ϕ はロウレベルになっている。したがって、上記反転入力信号 $\bar{\phi}$ のハイレベルによりCMOSインバータ回路のNチャンネル

MOSFETQ7がオン状態になるので、出力信号 ϕ' をロウレベルにリセットする。また、伝送ゲートMOSFETQ1のゲート電圧は、少なくともMOSFETQ2を通して $V_{cl}-V_{th}$ のレベルにプリチャージがなされている。これにより、このMOSFETQ1は、オン状態となり、そのゲートとロウレベルのチャンネル間のゲート容量に上記レベル($V_{cl}-V_{th}$)が蓄積される。

次いで、反転入力タイミング信号 $\bar{\phi}$ がロウレベルに変化すると、CMOSインバータ回路によって形成された入力信号 ϕ がハイレベルに変化する。このとき、伝送ゲートMOSFETQ1のセルフブートストラップ作用により、そのゲート電圧(ノードN1)が $V_{cc}+V_{cl}-V_{th}$ に上昇しようとする。しかし、ダイオード形態のMOSFETQ3がオン状態になって上記昇圧電圧をレベルリミッタ電圧 V_{cl} 側に引き抜くため、ノードN1のレベルは、 $V_{cl}+V_{th}$ までしか上昇しない。これにより、伝送ゲートMOSFETQ1を通して形成された出力信号 ϕ' のレベルは、上記ゲート電圧(

$V_{cl}+V_{th}$)から上記MOSFETQ1のしきい値電圧 V_{th} を差し引いた電圧(レベルリミッタ電圧 V_{cl})となる。

この実施例では、上記入力信号 ϕ のハイレベル(V_{cc})を形成するPチャンネルMOSFETQ4のコンダクタンス特性が大きく設定されているので、上記伝送ゲートMOSFETQ1を介して図示しない出力端子OUTにおける負荷容量を高速にチャージアップアップする。これにより出力信号 ϕ' は、高速に上記レベルリミッタ電圧 V_{cl} まで上昇する。

しかしながら、時間の経過とともに上記伝送ゲートMOSFETQ1のゲートであるノードN1や、出力信号 ϕ' のレベルは、MOSFETのソース又はドレインと基板間等でのリーク電流によって低下しようとする。この実施例では、出力信号 ϕ' が上記リーク電流によって低下しようすると、上記反転入力信号 $\bar{\phi}$ のロウレベルによってオン状態となっているPチャンネルMOSFETQ6を介して上記リーク電流を補うという電流供

給を行うため、出力信号 ϕ' のレベルを上記レベルリミッタ電圧 V_{cl} に保たせることができる。

なお、入力信号の反転信号を形成しておいて、レベルリミッタ電圧 V_{cl} により動作するCMOSインバータ回路を用いて直接上記レベルリミッタ動作を行わせるとことが考えられるが、通常、レベルリミッタ電圧 V_{cl} は、電源電圧 V_{cc} を分圧すること等により形成するものであるため、その出力インピーダンスが大きくなる。このため、このレベルリミッタ電圧 V_{cl} で動作するCMOSインバータ回路のみでは、出力信号 ϕ' の立ち上がりが極端に遅くなってとうてい実用に供し得ない。この点、この実施例では、電源電圧 V_{cc} により動作するCMOSインバータ回路によって出力負荷を駆動するので、高速に立ち上がる出力信号 ϕ' を形成することができるものである。

(効果)

(1)リーク電流によるレベル低下に対してCMOSインバータを構成するレベルリミッタ電圧側のMOSFETを通して電流供給を行うことにより、

時間の経過に無関係に安定した出力信号を形成することができるという効果が得られる。

(2) CMOS回路を利用することによって、電源電圧及びレベルリミッタ電圧と回路の接地電位点との間での直流電流(貫通電流)が生じないから、低消費電力化のレベルリミッタ回路を得ることができるという効果が得られる。

(3) 上記入力信号を形成する接地電位側のNチャンネルMOSFETと、レベル補償用に設けられたPチャンネルMOSFETとは、必要最少なコンダクタンス特性を持つように形成することによって、そのセルサイズの小型化を図ることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、入力信号を形成するCMOSインバータ回路は、レベルリミッタ回路としては特に必要とされるものではない。なぜなら、上記入力

信号は何等かの回路で形成されるものであるからである。

(利用分野)

この発明に係るレベルリミッタ回路は、電源電圧以下の任意の中間レベルの信号を形成するレベルリミッタ回路として広く利用できる。例えば、半導体集積回路の技術の進展によって、MOSFET等の素子の微細化が図られている。この素子の微細化によりMOSFETの耐圧が低下する傾向にある。一方、1Mビットのような大記憶容量をもつダイナミック型RAMの開発にあたっては、従来の64Kビットのダイナミック型RAMとコンパチブルにするために、その電源電圧を5Vと微細化された素子にとっては高い電源電圧を用いる必要が生じる。このような場合、この発明に係るレベルリミッタ回路により簡単にその信号レベルの変換を行うことができる。

図面の簡単な説明

第1図は、この発明に先立って考えられているレベルリミッタ回路の一例を示す回路図、

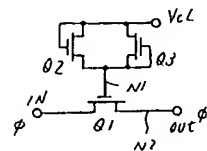
第2図は、この発明に係るレベルリミッタ回路の一実施例を示す回路図、

第3図は、その動作の一例を示す波形図である。

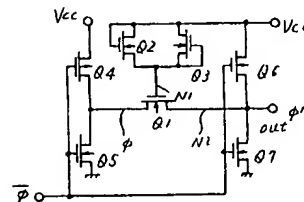
代理人 井理士 高橋 明夫



第 1 図



第 2 図



第 3 図

